

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

JONG-TAE KWAK, ET AL.

Application No.:

Filed:

For: **DELAY LOCKED LOOP DEVICE**

Art Group: Unknown

Examiner: To Be Determined

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-27016	29 April 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: December 31, 2003



Farzad E. Amini, Reg. No. 42,261

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0027016  
Application Number

출원년월일 : 2003년 04월 29일  
Date of Application APR 29, 2003

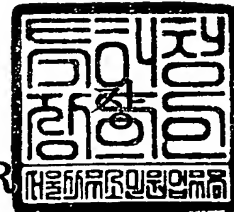
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor



2003 년

특 허 청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0025
【제출일자】	2003.04.29
【발명의 명칭】	디엘엘 장치
【발명의 영문명칭】	DELAY LOCKED LOOP DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	곽종태
【성명의 영문표기】	KWAK, Jong Tae
【주민등록번호】	721105-1922915
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대전자아파트 101-1003
【국적】	KR
【발명자】	
【성명의 국문표기】	이성훈
【성명의 영문표기】	LEE, Seong Hoon
【주민등록번호】	671122-1117429
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 559-3 청구아파트 105-803
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)



1020030027016

출력 일자: 2003/10/29

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	7	면	7,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	9	항	397,000	원
【합계】	433,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

본 발명의 디엘엘 장치는 디지털 디엘엘을 구현함에 있어서, 듀티 사이클 교정 동작을 수행할 뿐만 아니라, 고주파 동작에서 문제되는 전력 소모 문제를 해결하는 동시에 로우 지터 스캠을 도입하여 아날로그 디엘엘과 거의 비슷한 결과를 도출할 수 있는 디엘엘 장치를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여 본 발명은, 버퍼; 딜레이 라인부; 위상 감지기; 상기 제1 비교 신호 및 상기 제2 비교 신호에 따라 DLL 고정 여부를 결정하고, 상기 DLL 고정 여부에 따라 온/오프 신호를 출력하는 혼합 제어기; 제1 신호 처리부; 및 상기 온/오프 신호에 따라 활성화/비활성화되는 제2 신호 처리부를 포함한다.

**【대표도】**

도 2

**【색인어】**

DLL, 위상 혼합, DDR 메모리, 클럭

【명세서】

【발명의 명칭】

디엘엘 장치{DELAY LOCKED LOOP DEVICE}

【도면의 간단한 설명】

도 1는 종래 기술에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치를 나타낸 블록도,

도 2는 본 발명의 일 실시예에 의한 디엘엘 장치를 나타낸 블록도,

도 3은 본 발명의 일 실시예에 의한 디엘엘 장치의 동작을 나타낸 타이밍도,

도 4는 본 발명의 일 실시예에 의한 디엘엘 장치 내에 장착된 딜레이 라인을 나타낸 블록도,

도 5a 및 도 5b는 본 발명의 일 실시예에 의한 디엘엘 장치 내에 장착된 딜레이 라인의 제어 방식을 나타낸 예시도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

210 : 버퍼      220 : 딜레이 라인부

230 : 위상 감지기      240 : 혼합 제어기

250 : 제1 신호 처리부      260 : 제2 신호 처리부

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10>        본 발명은 디엘엘 장치에 관한 것으로, 외부 클럭과 내부 클럭 간의 스큐(skew)를 보상하는 클럭 발생 장치를 필요로 하는 모든 반도체 장치 및 컴퓨터 시스템에 사용되는 디엘엘 장치에 관한 것이다.
- <11>        일반적으로, 지연 고정 루프(DLL)란 반도체메모리 장치에서 클럭을 사용하는 동기식 메모리의 내부 클럭을 예러 없이 외부 클럭과 일치되게 하기 위해서 사용하는 회로이다. 즉 외부에서 들어오는 클럭이 내부에서 사용될 때 타이밍 딜레이가 발생하는데, 이 타이밍 딜레이를 제어하여 내부에서 사용하는 클럭이 외부에서 들어오는 클럭과 동일하게 동기되도록 하기 위해서 사용한다.
- <12>        도 1는 종래 기술에 의한 듀티 사이클 교정이 가능한 디지털 디엘엘 장치를 나타낸 블록도로서, 이러한 종래의 디엘엘 장치는, 외부 클럭 신호를 입력받아 클럭의 에지에서 활성화되는 클럭 입력 신호를 순차적으로 출력하는 버퍼(110); 버퍼(110)에서 클럭 입력 신호를 입력받고, 제1 비교 신호 및 제2 비교 신호를 입력받아 클럭 입력 신호를 소정의 시간만큼 지연시켜 제1 클럭 신호 및 제2 클럭 신호로 하여 출력하는 딜레이 라인부(120); 제1 클럭 신호 및 제2 클럭 신호를 입력받아, 제1 클럭 신호의 하향 에지와 제2 클럭 신호의 하향 에지의 사이로 각각의 에지를 이동시켜 제1 혼합 클럭 신호 및 제2 혼합 클럭 신호를 생성하여 출력하는 듀티 에러 조정부(130); 제1 혼합 클럭 신호를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 제1 보상 클럭 신호를 생성하여 출력하는 제1 딜레이 모델부(140);

외부 클럭 신호를 입력받아 제1 보상 클럭 신호와 비교하여 제1 비교 신호를 생성하여 딜레이 라인부(120)에 출력하는 제1 직접 위상 감지기(150); 제2 혼합 클럭 신호를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 제2 보상 클럭 신호를 생성하여 출력하는 제2 딜레이 모델부(160); 및 외부 클럭 신호를 입력받아 제2 보상 클럭 신호와 비교하여 제2 비교 신호를 생성하여 딜레이 라인부(120)에 출력하는 제2 직접 위상 감지기(170)를 포함한다.

<13> 그러나, 상술한 종래의 디엘엘 장치는, 디엘엘 회로가 고정을 끝낸 이후에도 두 개의 위상 혼합기(도시되지 않음), 두 개의 딜레이 모델부(140, 160) 및 두 개의 직접 위상 감지기(150, 170)가 계속해서 동작하므로, 이러한 블록에서 일어나는 클럭 토글링(clock toggling)으로 인해 전력 소모가 큰 문제점이 있다. 또한, 고정 전후에 관계없이, 딜레이 라인부 내에 있는 두 개의 딜레이 라인에 대해 동시에 딜레이 튜닝을 계속하므로, 이렇게 두 개의 딜레이 라인을 동시에 제어함으로써 생기는 전체 위상 에러는 딜레이 라인부의 어느 하나의 딜레이 라인이 가지는 위상 에러와 동일한 값을 가질 수 밖에 없는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<14> 상기 문제점을 해결하기 위하여 안출된 본 발명은 디지털 디엘엘을 구현함에 있어서, 듀티 사이클 교정 동작을 수행할 뿐만 아니라, 고주파 동작에서 문제되는 전력 소모 문제를 해결하는 동시에 로우 지터 스캠을 도입하여 아날로그 디엘엘과 거의 비슷한 결과를 도출할 수 있는 디엘엘 장치를 제공하는데 그 목적이 있다.



## 【발명의 구성 및 작용】

<15>       상기 목적을 달성하기 위하여 본 발명의 디엘엘 장치는, 외부 클럭 신호를 입력받는 버퍼; 상기 버퍼의 출력 신호를 입력받고, 제1 비교 신호 및 제2 비교 신호를 입력받아 상기 클럭 입력 신호를 소정의 시간만큼 지연시켜 제1 클럭 신호 및 제2 클럭 신호를 생성하는 딜레이 라인부; 상기 제1 클럭 신호 및 상기 제2 클럭 신호의 반전된 값을 입력받아 그 하향 에지 중 어느 것이 앞서는 지를 나타내는 위상 감지 신호를 생성하는 위상 감지기; 상기 제1 비교 신호 및 상기 제2 비교 신호에 따라 DLL 고정 여부를 결정하고, 상기 DLL 고정 여부에 따라 온/오프 신호를 출력하는 혼합 제어기; 상기 제1 클럭 신호 및 상기 제2 클럭 신호를 입력받아 이를 통하여 제1 보상 클럭 신호를 생성하고, 상기 외부 클럭 신호를 입력받아 상기 제1 보상 클럭 신호와 비교하여 상기 제1 비교 신호를 생성하는 제1 신호 처리부; 및 상기 제1 클럭 신호 및 상기 제2 클럭 신호를 입력받아 이를 통하여 제2 보상 클럭 신호를 생성하고, 상기 외부 클럭 신호를 입력받아 상기 제2 보상 클럭 신호와 비교하여 상기 제2 비교 신호를 생성하며, 상기 온/오프 신호에 따라 활성화/비활성화되는 제2 신호 처리부를 포함한다.

<16>       이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 본 발명의 가장 바람직한 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.

<17>       먼저, 도 2는 본 발명의 일 실시예에 의한 디엘엘 장치를 나타낸 블록도로서, 본 발명의 듀티 사이클 교정이 가능한 디지털 디엘엘 장치는, 버퍼(210), 딜레이 라인부(220), 위상 감지기(230), 혼합 제어기(240), 제1 신호 처리부(250) 및 제2 신호 처리부(260)를 포함한다.

- <18> 버퍼(210)는, 외부 클럭 신호(ext\_clk)를 입력받아 클럭의 에지에서 활성화되는 클럭 입력 신호(eclk)를 생성하고, 상기 클럭 입력 신호를 후술하는 딜레이 라인부(220)에 출력하는 역할을 한다.
- <19> 또한, 딜레이 라인부(220)는, 상기 버퍼(210)에서 상기 클럭 입력 신호(eclk)를 입력받고, 후술하는 제1 신호 처리부(250) 및 후술하는 제2 신호 처리부(260)의 제1 비교 신호 및 제2 비교 신호를 입력받아 상기 클럭 입력 신호(eclk)를 소정의 시간만큼 지연시킨 후 후술하는 제1 신호 처리부(250) 및 후술하는 제2 신호 처리부(260)로 출력하는 역할을 한다. 여기서, 상기 딜레이 라인부(220)는 제1 딜레이 라인(221) 및 제2 딜레이 라인(222)을 포함한다.
- <20> 상기 딜레이 라인부(220) 내에 장착된 제1 딜레이 라인(221)은, 상기 버퍼(210)에서 상기 클럭 입력 신호(eclk)를 입력받고, 후술하는 제1 신호 처리부(250)의 제1 비교 신호에 따라 상기 클럭 입력 신호(eclk)의 딜레이 양을 조절함으로써 제1 클럭 신호(intclk1)를 생성하고, 상기 제1 클럭 신호(intclk1)를 후술하는 제1 신호 처리부(250)로 출력하는 역할을 한다.
- <21> 한편, 상기 딜레이 라인부(220) 내에 장착된 제2 딜레이 라인(222)은, 상기 버퍼(210)에서 상기 클럭 입력 신호(eclk)를 입력받고, 후술하는 제2 신호 처리부(260)의 제2 비교 신호에 따라 딜레이 양을 조절한 후 반전하여 제2 클럭 신호(intclk2)를 생성하고, 상기 제2 클럭 신호(intclk2)를 후술하는 제2 신호 처리부(260)로 출력하는 역할을 한다.
- <22> 한편, 위상 감지기(230)는, 상기 딜레이 라인부(220)에서 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)의 반전된 값을 입력받고, 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)의 하향 에지 중 어느 것이 앞서는 지를 나타내는 위상 감지 신호를 생성하고, 상기 위상 감지 신호를 후술하는 혼합 제어기(240)로 출력하는 역할을 한다.



- <23> 또한, 혼합 제어기(240)는, 후술하는 제1 신호 처리부(250)에서 입력된 상기 제1 비교 신호(도시되지 않음) 및 후술하는 제2 신호 처리부(260)에서 입력된 상기 제2 비교 신호(도시되지 않음)에 따라 DLL 고정 여부를 결정하고, 상기 위상 감지 신호에 따라 결정된 가중치(K)를 후술하는 제1 신호 처리부(250) 및 후술하는 제2 신호 처리부(260)로 출력하며, 상기 DLL 고정 여부에 따라 후술하는 제2 신호 처리부(260)로 온/오프 신호를 출력하는 역할을 한다. 여기서, 상기 가중치는 복수개의 가중 신호를 포함하고 있다.
- <24> 한편, 제1 신호 처리부(250)는, 상기 가중치(K), 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)를 입력받아 이를 통하여 제1 보상 클럭 신호(iclk1)를 생성하고, 상기 외부 클럭 신호(ext\_clk)를 입력받아 상기 제1 보상 클럭 신호(iclk1)와 비교하여 제1 비교 신호를 생성하며, 상기 제1 비교 신호를 상기 딜레이 라인부(220)에 출력하는 역할을 한다.
- <25> 한편, 상기 제1 신호 처리부(250) 내에 장착된 제1 위상 혼합기(251)는, 상기 혼합 제어기(240)에서 상기 가중치(K)를 입력받아 상기 제1 클럭 신호(intclk1)에 1에서 상기 가중치(K)를 뺀 값을 적용하고, 상기 제2 클럭 신호(intclk2)에 상기 가중치(K)를 적용하여, 듀티를 조정된 제1 혼합 클럭 신호(int\_clk)를 생성하고, 상기 제1 혼합 클럭 신호(int\_clk)를 후술하는 제1 딜레이 모델부(252)로 출력하는 역할을 한다.
- <26> 한편, 상기 제1 신호 처리부(250) 내에 장착된 제1 딜레이 모델부(252)는, 상기 제1 위상 혼합기(251)로부터 듀티가 조절된 상기 제1 혼합 클럭 신호(int\_clk)를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 제1 보상 클럭 신호(iclk1)를 생성하여 후술하는 제1 직접 위상 감지기(253)로 출력하는 역할을 한다.



- <27> 또한, 상기 제1 신호 처리부(250) 내에 장착된 제1 직접 위상 감지기(253)는, 상기 외부 클럭 신호(ext\_clk)를 입력받아 상기 제1 딜레이 모델부(252)에서 입력된 상기 제1 보상 클럭 신호(iclk1)와 비교하여 제1 비교 신호를 생성하고, 상기 제1 비교 신호를 상기 딜레이 라인부(220)에 출력하는 역할을 한다.
- <28> 한편, 제2 신호 처리부(260)는, 상기 가중치(K), 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)를 입력받아 이를 통하여 제2 보상 클럭 신호(iclk2)를 생성하고, 상기 외부 클럭 신호(ext\_clk)를 입력받아 상기 제2 보상 클럭 신호(iclk2)와 비교하여 제2 비교 신호를 생성하며, 상기 제2 비교 신호를 상기 딜레이 라인부(220)에 출력하고, 상기 온/오프 신호에 따라 활성화/비활성화되는 역할을 한다.
- <29> 또한, 상기 제2 신호 처리부(260) 내에 장착된 제2 위상 혼합기(261)는, 상기 혼합 제어기(240)에서 상기 가중치(K)를 입력받아 상기 제1 클럭 신호(intclk1)에 상기 가중치(K)를 적용하고, 상기 제2 클럭 신호(intclk2)에 1에서 상기 가중치(K)를 뺀 값을 적용하여, 듀티를 조정된 제2 혼합 클럭 신호(intclk2')를 생성하며, 상기 제2 혼합 클럭 신호(intclk2')를 후술하는 제2 딜레이 모델부(262)로 출력하고, 상기 온/오프 신호에 따라 활성화/비활성화되는 역할을 한다.
- <30> 한편, 상기 제2 신호 처리부(260) 내에 장착된 제2 딜레이 모델부(262)는, 상기 제2 위상 혼합기(261)으로부터 듀티가 조절된 상기 제2 혼합 클럭 신호(intclk2')를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 제2 보상 클럭 신호(iclk2)를 생성하여 후술하는 제2 직접 위상 감지기(263)로 출력하며, 상기 온/오프 신호에 따라 활성화/비활성화되는 역할을 한다.

- <31> 또한, 상기 제2 신호 처리부(260) 내에 장착된 제2 직접 위상 감지기(263)는, 상기 외부 클럭 신호(ext\_clk)를 입력받아 상기 제2 딜레이 모델부(262)에서 입력된 상기 제2 보상 클럭 신호(iclk2)와 비교하여 제2 비교 신호를 생성하고, 상기 제2 비교 신호를 상기 딜레이 라인부(220)에 출력하며, 상기 온/오프 신호에 따라 활성화/비활성화되는 역할을 한다.
- <32> 도 3은 본 발명의 일 실시예에 의한 디엘엘 장치의 동작을 나타낸 타이밍도로서, 이를 참조하여 본 발명의 디엘엘 장치의 동작을 설명하면 다음과 같다.
- <33> 먼저, 디엘엘 장치의 고정 과정이 끝나면, 제1 보상 클럭 신호(iclk1) 및 제2 보상 클럭 신호(iclk2)의 상향 에지 뿐만 아니라 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)의 상향 에지 위상과 제1 혼합 클럭 신호(int\_clk) 및 제2 혼합 클럭 신호(intclk2')의 상향 에지 위상도 서로 같아지게 된다. 여기서, 계속적으로 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)의 상향 에지가 일치되도록 함에 있어서 DLL이 고정된 그 순간부터는 제2 직접 위상 감지기(263)를 턴오프시킨 채, 제1 직접 위상 감지기(253)만으로 딜레이 라인부(220) 내에 있는 두 개의 딜레이 라인(221, 222) 모두를 제어하는 방식을 사용하게 된다.
- <34> 예를 들어, 전압 또는 온도 변화 등 어떤 요인에 의하여 제1 혼합 클럭 신호(int\_clk)의 상향 에지가 외부 클럭 신호(ext\_clk)의 상향 에지보다 위상이 늦어지게 되면 제1 직접 위상 감지기(253)에서는 그 위상 관계를 판단하여 두 개의 딜레이 라인(221, 222)에 대해 딜레이를 줄이라는 명령을 내리게 되고, 그 명령에 따라서 딜레이 라인부(220)에서 딜레이가 조금 줄어들게 되면 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)의 상향 에지가 앞으로 당겨져서 그것을 혼합하여 출력하는 제1 혼합 클럭 신호(int\_clk)의 상향 에지 위상도 당겨지는 것이다



<35>        곧, 디엘엘 장치가 동작을 시작할 때는 두 개의 딜레이 라인(221, 222)에 대하여 각각의 직접 위상 감지기(253, 263)의 결과에 따라 독립적으로 딜레이를 튜닝(tuning)하다가 고정 상태가 되면 제1 직접 위상 감지기(253)로서 두 개의 딜레이 라인(221, 222)의 딜레이를 조정하게 된다. 이러한 방식을 채택함에 따라, 제2 클럭 신호(intclk2)가 거쳐가는 경로인 제2 신호처리부(260) 내에 장착된 제2 위상 혼합기(261), 제2 딜레이 모델부(262) 및 제2 직접 위상 감지기(263)의 세 블록은 고정 이후부터는 모두 턴오프되어도 무방하며, 이러한 턴오프 과정을 통하여 전력 소모를 줄일 수 있는 것이다. 또한, 제2 위상 혼합기(261)는 고정 후에 사용되지 않아도 되므로, 가중치(K)가 0으로 세팅되어도 된다.

<36>        도 4는 본 발명의 일 실시예에 의한 디엘엘 장치 내에 장착된 딜레이 라인(221, 222)을 나타낸 블록도로서, 이러한 디엘엘 장치에 관하여 설명하면 다음과 같다.

<37>        제1 딜레이 라인(221) 내에 장착된 제1 딜레이 제어부(411)는, 상기 제1 직접 위상 감지기(253)로부터 상기 제1 비교 신호(pd1)를 입력받아 제1 딜레이 조정 신호(updn1)로서 출력하고, 상기 제1 비교 신호(pd1)에 따라 제1 딜레이 인에이블 신호(DL1\_en)를 생성하는 역할을 한다.

<38>        또한, 제1 딜레이 라인(221) 내에 장착된 제1 코스 딜레이 라인(412)은, 상기 제1 딜레이 제어부(411)로부터의 상기 제1 딜레이 인에이블 신호(DL1\_en)에 의하여 활성화되면, 상기 제1 딜레이 제어부(411)로부터의 상기 제1 딜레이 조정 신호(updn1)에 따라 상기 클럭 입력 신호(ec1k)의 딜레이를 조정하는 역할을 한다.



- <39> 한편, 제1 딜레이 라인(221) 내에 장착된 제1 파인 딜레이 라인(413)은, 상기 제1 딜레이 제어부(411)로부터의 상기 제1 딜레이 인에이블 신호(DL1\_en)에 의하여 활성화되면, 상기 제1 딜레이 제어부(411)로부터의 상기 제1 딜레이 조정 신호(updn1)에 따라 상기 제1 코스 딜레이 라인(412)으로부터의 출력 신호의 딜레이 튜닝을 수행함으로써 상기 제1 클럭 신호(intclk1)를 생성하는 역할을 한다.
- <40> 또한, 제2 딜레이 라인(222) 내에 장착된 제2 딜레이 제어부(421)는, 상기 제2 직접 위상 감지기(263)로부터 상기 제2 비교 신호(pd2)를 입력받아 제2 딜레이 조정 신호(updn2)로서 출력하고, 상기 제1 비교 신호(pd2)에 따라 제2 딜레이 인에이블 신호(DL2\_en)를 생성하며, 상기 제2 비교 신호(pd2)에 의해 디엘엘 고정이 감지되면, 상기 제1 딜레이 제어부(411)로부터 상기 제1 딜레이 인에이블 신호(DL1\_en) 및 상기 제1 딜레이 조정 신호(updn1)를 입력받아 각각 상기 제2 딜레이 인에이블 신호(DL2\_en) 및 상기 제2 딜레이 조정 신호(updn2)로서 출력하는 역할을 한다.
- <41> 또한, 제2 딜레이 라인(222) 내에 장착된 제2 코스 딜레이 라인(422)은, 상기 제2 딜레이 제어부(421)로부터의 상기 제2 딜레이 인에이블 신호(DL2\_en)에 의하여 활성화되면, 상기 제2 딜레이 제어부(421)로부터의 상기 제2 딜레이 조정 신호(updn2)에 따라 상기 클럭 입력 신호(ec1k)의 딜레이를 조정하는 역할을 한다.
- <42> 한편, 제2 딜레이 라인(222) 내에 장착된 제2 파인 딜레이 라인(423)은, 상기 제2 딜레이 제어부(421)로부터의 상기 제2 딜레이 인에이블 신호(DL2\_en)에 의하여 활성화되면, 상기 제2 딜레이 제어부(421)로부터의 상기 제2 딜레이 조정 신호(updn2)에 따라 상기 제2 코스 딜레이 라인(422)으로부터의 출력 신호의 딜레이 튜닝을 수행함으로써 상기 제2 클럭 신호(intclk2)를 생성하는 역할을 한다.

<43> 상술한 딜레이 라인(221, 222)의 동작을 설명하기 위한 동작 테이블은 하기 표 1과 같으며, 이를 참조하여 상술한 본 발명의 딜레이 라인(221, 222)의 동작을 설명하면 다음과 같다.

<44> 【표 1】

	이전의 제1 비교 신호	현재의 제1 비교 신호	제2 비교 신호	제1 딜레이 인에이블 신호	제2 딜레이 인에이블 신호	제1 딜레이 조정 신호	제1 딜레이 조정 신호
고정 전	x	제1값	제2값	제2 논리 단계 (High)	제2 논리 단계 (High)	제1값	제2값
고정 후	이전의 제1 비교 신호=현재의 제1 비교 신호		X	이전에 인에이블(High)되지 않은 쪽이 인에이블		현재의 제1 비교 신호	현재의 제1 비교 신호
	이전의 제1 비교 신호의 반전값=현재의 제1 비교 신호			이전에 인에이블(High)되었던 신호가 다시 인에이블			

<45> 제1 딜레이 인에이블 신호(DL1\_en) 및 제2 딜레이 인에이블 신호(DL2\_en)는 각 딜레이 라인(221, 222)에 대항 딜레이 튜닝을 수행할 지 여부를 결정하는 신호로서, 디엘엘 장치의 고정 후에는 제1 직접 위상 감지기(253)의 출력인 제1 비교 신호(pd1)의 이전 출력값과 현재 출력값에 따라 제1 딜레이 인에이블 신호(DL1\_en) 및 제2 딜레이 인에이블 신호(DL2\_en) 중 어느 한 쪽만 제2 논리 단계(High)로 세팅시킨다. 디엘엘 장치는 일단 동작을 시작하면 계속적으로 딜레이 라인(221, 222)에서 튜닝이 일어나는데, 만약 연속된 딜레이 조정 단계 중 N번째로 딜레이를 조정하는 단계에 있을 때는 N-1번째에 출력된 제1 비교 신호(pd1)가 이전 출력값이라고 할 수 있고, N번째에 출력된 제1 비교 신호(pd1)가 현재 출력값이라고 할 수 있다. 표 1에 의하면, 이전의 제1 비교 신호(pd1)와 현재의 제1 비교 신호(pd1)가 같은 상태라면, 제1 딜레이 인에이블 신호(DL1\_en) 및 제2 딜레이 인에이블 신호(DL2\_en) 중 이전에 제2 논리 단계(High)가 되지 않은 다른 쪽으로만 제2 논리 단계(High)로 세팅되고, 나머지는 제1 논리 단계(Low)가



되며, 이전의 제1 비교 신호(pd1)와 현재의 제1 비교 신호(pd1)가 서로 다르다면, 제1 딜레이 인에이블 신호(DL1\_en) 및 제2 딜레이 인에이블 신호(DL2\_en) 중 이전에 제2 논리 단계(High)가 되었던 신호가 다시 제2 논리 단계(High)가 되는 식으로 제어하도록 되어 있다. 이를 통하여 두 딜레이 라인(221, 222)을 따로따로 제어한다고 할 지라도 각각의 블록에서 출력되는 클럭인 제1 클럭 신호(intclk1)와 제2 클럭 신호(intclk2)의 상향 에지는 항상 일정 간격 내에 존재하도록 서로 멀어지지 않는 방향을 유지할 수 있게 된다.

<46> 도 4을 참조하여, 로우 지터 스캠을 구현함에 있어, 두 딜레이 라인(221, 222)에 대해 선택적으로 딜레이를 제어하는 방식에 대하여 상세히 설명하면 다음과 같다.

<47> 도 4에도 나타나 있듯이, 두 딜레이 라인(221, 222) 내부에는 코스 딜레이 라인(412, 422) 및 파인 딜레이 라인(413, 423)을 제어하는 딜레이 제어부(411, 421)가 존재하는데, 각각의 딜레이 제어부(411, 421)에서는 제1 딜레이 인에이블 신호(DL1\_en) 및 제2 딜레이 인에이블 신호(DL2\_en)를 생성하여 각 코스 딜레이 라인(412, 422) 및 각 파인 딜레이 라인(413, 423)을 제어하게 된다. DLL이 고정되기 전에는 무조건 제1 딜레이 인에이블 신호(DL1\_en) 및 제2 딜레이 인에이블 신호(DL2\_en)이 모두 제2 논리 단계(High)가 되어 항상 두 코스 딜레이 라인(412, 422) 및 두 파인 딜레이 라인(413, 423)에서 딜레이 튜닝이 일어나다가, 일단 고정

이 걸리고 나면, 제2 직접 위상 감지기(263)는 턴오프되며, 단지 제1 직접 위상 감지기(253)에서 내리는 명령에 따라 두 딜레이 라인(221, 222)이 모두 제어되지만, 한 번에 하나의 딜레이 라인(221, 222)에 대해서만 딜레이 튜닝이 일어나도록 한다. 즉, 디엘엘의 고정 전에는 제1 비교 신호(pd1)는 제1 딜레이 조정 신호(updn1)로서, 제2 비교 신호(pd2)는 제2 딜레이 조정 신호(updn2)로서 전달되지만, 고정이 되고 나면 제2 직접 위상 감지기(263)가 턴오프되어 제2 비교 신호(pd2)는 무의미해지며, 제1 비교 신호(pd1)가 제1 딜레이 조정 신호(updn1)로서 뿐만 아니라 제2 딜레이 조정 신호(updn2)로서도 전달되는 것이다. 또한, 고정 후에는 제1 딜레이 인에이블 신호(DL1\_en) 및 제2 딜레이 인에이블 신호(DL2\_en) 중 어느 하나 만이 제2 논리 단계(High)가 되고 나머지는 제1 논리 단계(Low)가 되어야 하는데, 만약 어떠한 조건에 의해 제1 딜레이 인에이블 신호(DL1\_en)이 제2 논리 단계(High)가 되었다면 제2 딜레이 인에이블 신호(DL2\_en)를 제1 논리 단계(Low)로 하여 제1 딜레이 라인(221)에서는 딜레이 튜닝이 일어나지만 제2 딜레이 라인(222)에서는 딜레이 튜닝이 일어나지 않도록 제어하게 된다.

<48> 도 5a 및 도 5b는 본 발명의 일 실시예에 의한 디엘엘 장치 내에 장착된 딜레이 라인(221, 222)의 제어 방식을 나타낸 예시도로서, 이에 관하여 설명하면 다음과 같다.

<49> 먼저, 도 5a에 있어서, N-1번째에 제1 혼합 클럭 신호(int\_clk)가 외부 클럭 신호(ext\_clk)보다 위상이 앞서게 되면, 제1 비교 신호(pd1)는 딜레이를 더 줘야

한다고 명령을 내리게 되어, 이에 따라 제2 클럭 신호(intclk2)가 tUD(파인 딜레이 라인(413, 423)이 가지고 있는 하나의 스텝 사이즈)만큼 뒤로 밀리게 되면 N번째에는 제1 혼합 클럭 신호(int\_clk)가 외부 클럭 신호(ext\_clk)보다 위상이 늦어지는 경우에 발생한다. 이 때는, 제1 비교 신호(pd1)에 의해 딜레이를 줄여야 한다는 명령이 전달되며, 이 경우의 제1 비교 신호(pd1)의 이전 값과 현재 값은 서로 달라졌으므로 N+1번째의 딜레이 조정은 제2 클럭 신호(intclk2)에서 한번 더 일어나게 된다. 이 때, 종래의 디엘엘 장치에서처럼 제1 클럭 신호(intclk1)의 딜레이를 줄인다면, 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)의 위상이 서로 멀어지는 오류를 범할 수 있다.

<50> 또한, 도 5b에 있어서, N-1번째에 어떠한 요인으로 제1 혼합 클럭 신호(int\_clk)가 외부 클럭 신호(ext\_clk)보다 많이 앞서게 되는 경우인데, 두 위상을 다시 맞추기 위해 만약 N번째에 제2 클럭 신호(intclk2)의 딜레이를 더 주어서 N-1번째보다 tUD만큼 뒤로 밀렸는데도 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)를 혼합한 제1 혼합 클럭 신호(int\_clk)는 여전히 외부 클럭 신호(ext\_clk)보다 앞서 있게 되는데, 이 때에는 제1 비교 신호(pd1)의 N-1번째 값과 N번째 값이 동일하게 딜레이를 계속 더 주라는 명령을 내리게 되므로, N+1번째 조정 시에는 N번째에 조정이 되지 않았던 제1 클럭 신호(intclk1)의 딜레이를 뒤로 미는 방향으로 제어하게 된다.

<51> 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지로 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 한정되는 것이 아니다.

【발명의 효과】

<52>        본 발명은, 디지털 디엘엘을 구현함에 있어서, 듀티 사이클 교정 동작을 수행할 뿐만 아니라, 고주파 동작에서 문제되는 전력 소모 문제를 해결하는 동시에 로우 지터 스캠을 도입하여 아날로그 디엘엘과 거의 비슷한 결과를 도출할 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

외부 클럭 신호를 입력받는 버퍼;

상기 버퍼의 출력 신호를 입력받고, 제1 비교 신호 및 제2 비교 신호를 입력받아 상기 클럭 입력 신호를 소정의 시간만큼 지연시켜 제1 클럭 신호 및 제2 클럭 신호를 생성하는 딜레이 라인부;

상기 제1 클럭 신호 및 상기 제2 클럭 신호의 반전된 값을 입력받아 그 하향 에지 중 어느 것이 앞서는 지를 나타내는 위상 감지 신호를 생성하는 위상 감지기;

상기 제1 비교 신호 및 상기 제2 비교 신호에 따라 DLL 고정 여부를 결정하고, 상기 DLL 고정 여부에 따라 온/오프 신호를 출력하는 혼합 제어기;

상기 제1 클럭 신호 및 상기 제2 클럭 신호를 입력받아 이를 통하여 제1 보상 클럭 신호를 생성하고, 상기 외부 클럭 신호를 입력받아 상기 제1 보상 클럭 신호와 비교하여 상기 제1 비교 신호를 생성하는 제1 신호 처리부; 및

상기 제1 클럭 신호 및 상기 제2 클럭 신호를 입력받아 이를 통하여 제2 보상 클럭 신호를 생성하고, 상기 외부 클럭 신호를 입력받아 상기 제2 보상 클럭 신호와 비교하여 상기 제2 비교 신호를 생성하며, 상기 온/오프 신호에 따라 활성화/비활성화되는 제2 신호 처리부를 포함하는 것을 특징으로 하는 디엘엘 장치.

**【청구항 2】**

제1항에 있어서, 상기 딜레이 라인부는,



상기 버퍼의 출력 신호를 입력받고, 상기 제1 비교 신호에 따라 상기 클럭 입력 신호의 딜레이 양을 조절함으로써 상기 제1 클럭 신호를 생성하는 제1 딜레이 라인; 및

상기 버퍼의 출력 신호를 입력받고, 상기 DLL 고정이 이루어진 경우에 상기 제1 비교 신호에 따라 딜레이 양을 조절한 후 반전하여 제2 클럭 신호를 생성하는 제2 딜레이 라인

을 포함하는 것을 특징으로 하는 디엘엘 장치.

### 【청구항 3】

제1항에 있어서, 상기 제2 신호 처리부는,

상기 혼합 제어기의 제어에 따라 상기 제2 클럭 신호의 듀티를 조정한 제2 혼합 클럭 신호를 생성하고, 상기 온/오프 신호에 따라 활성화/비활성화되는 제2 위상 혼합기;

상기 제2 혼합 클럭 신호를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상한 제2 보상 클럭 신호를 생성하고, 상기 온/오프 신호에 따라 활성화/비활성화되는 제2 딜레이 모델부; 및

상기 외부 클럭 신호를 입력받아 상기 제2 보상 클럭 신호와 비교하여 상기 제2 비교 신호를 생성하고, 상기 온/오프 신호에 따라 활성화/비활성화되는 제2 직접 위상 감지기

를 포함하는 것을 특징으로 하는 디엘엘 장치.

### 【청구항 4】

제2항에 있어서, 상기 제1 딜레이 라인은,



상기 제1 비교 신호를 입력받아 제1 딜레이 조정 신호로서 출력하고, 상기 제1 비교 신호에 따라 제1 딜레이 인에이블 신호를 생성하는 제1 딜레이 제어부;

상기 제1 딜레이 인에이블 신호에 의하여 활성화되면, 상기 제1 딜레이 조정 신호에 따라 상기 버퍼의 출력 신호의 딜레이를 조정하는 제1 코스 딜레이 라인; 및

상기 제1 딜레이 인에이블 신호에 의하여 활성화되면, 상기 제1 딜레이 조정 신호에 따라 상기 제1 코스 딜레이 라인으로부터의 출력 신호의 딜레이 튜닝을 수행함으로써 상기 제1 클럭 신호를 생성하는 제1 파인 딜레이 라인

을 포함하는 것을 특징으로 하는 디엘엘 장치.

#### 【청구항 5】

제4항에 있어서, 상기 제1 딜레이 라인은,

상기 DLL 고정이 감지되면, 상기 제1 딜레이 인에이블 신호 및 상기 제1 딜레이 조정 신호의 제어에 따라 제2 딜레이 인에이블 신호를 생성하고, 상기 제1 딜레이 조정 신호를 입력받아 상기 제2 딜레이 조정 신호로서 출력하는 제2 딜레이 제어부;

상기 제2 딜레이 인에이블 신호에 의하여 활성화되면, 상기 제2 딜레이 조정 신호에 따라 상기 버퍼의 출력 신호의 딜레이를 조정하는 제2 코스 딜레이 라인; 및

상기 제2 딜레이 인에이블 신호에 의하여 활성화되면, 상기 제2 딜레이 제어부로부터의 상기 제2 딜레이 조정 신호에 따라 상기 제2 코스 딜레이 라인으로부터의 출력 신호의 딜레이 튜닝을 수행함으로써 상기 제2 클럭 신호를 생성하는 제2 파인 딜레이 라인

을 포함하는 것을 특징으로 하는 디엘엘 장치.

【청구항 6】

제4항에 있어서,

상기 제1 딜레이 제어부는, 상기 DLL 고정 이후에, 현재의 상기 제1 비교 신호 및 이전의 제1 비교 신호를 비교하여 동일한 경우에는 상기 제1 딜레이 인에이블 신호의 논리 단계를 변경하는

것을 특징으로 하는 디엘엘 장치.

【청구항 7】

제4항에 있어서,

상기 제1 딜레이 제어부는, 상기 DLL 고정 이후에, 현재의 상기 제1 비교 신호 및 이전의 제1 비교 신호를 비교하여 동일한 경우에는 상기 제2 딜레이 인에이블 신호의 논리 단계를 변경하도록 상기 제2 딜레이 제어부를 제어하는

것을 특징으로 하는 디엘엘 장치.

【청구항 8】

제4항에 있어서,



상기 제1 딜레이 제어부는, 상기 DLL 고정 이후에, 현재의 상기 제1 비교 신호 및 이전의 제1 비교 신호를 비교하여 상이한 경우에는 상기 제1 딜레이 인에이블 신호의 논리 단계를 유지하는

것을 특징으로 하는 디엘엘 장치.

**【청구항 9】**

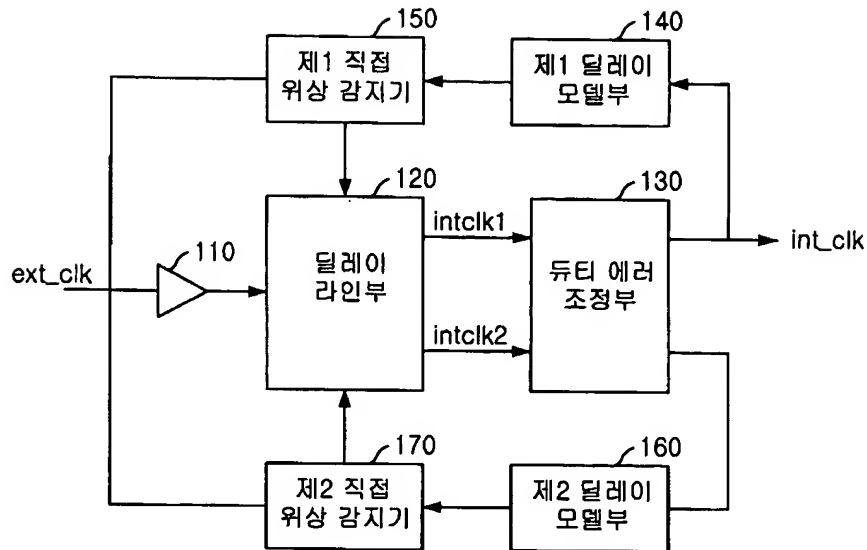
제4항에 있어서,

상기 제1 딜레이 제어부는, 상기 DLL 고정 이후에, 현재의 상기 제1 비교 신호 및 이전의 제1 비교 신호를 비교하여 상이한 경우에는 상기 제2 딜레이 인에이블 신호의 논리 단계를 유지하도록 상기 제2 딜레이 제어부를 제어하는

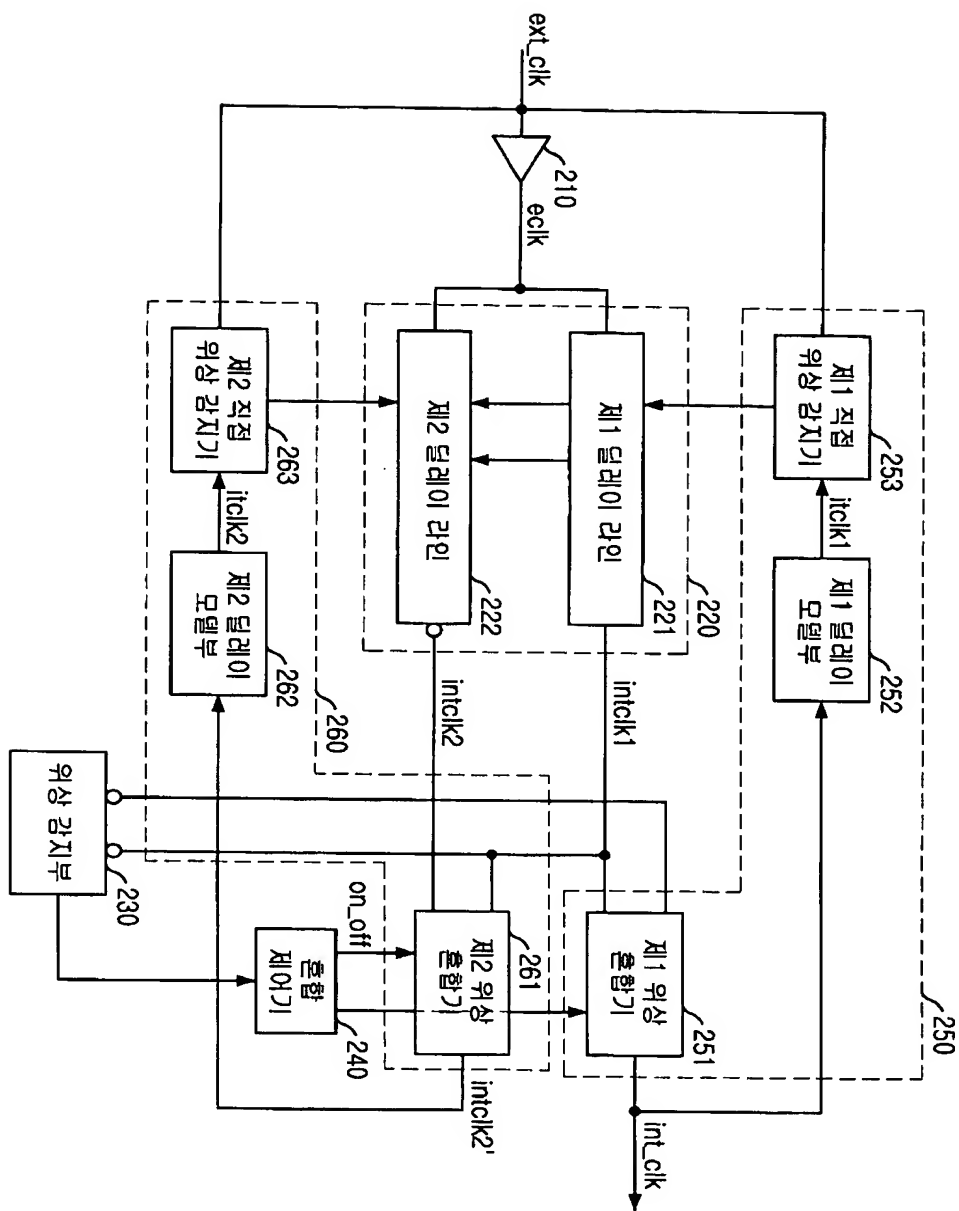
것을 특징으로 하는 디엘엘 장치.

【도면】

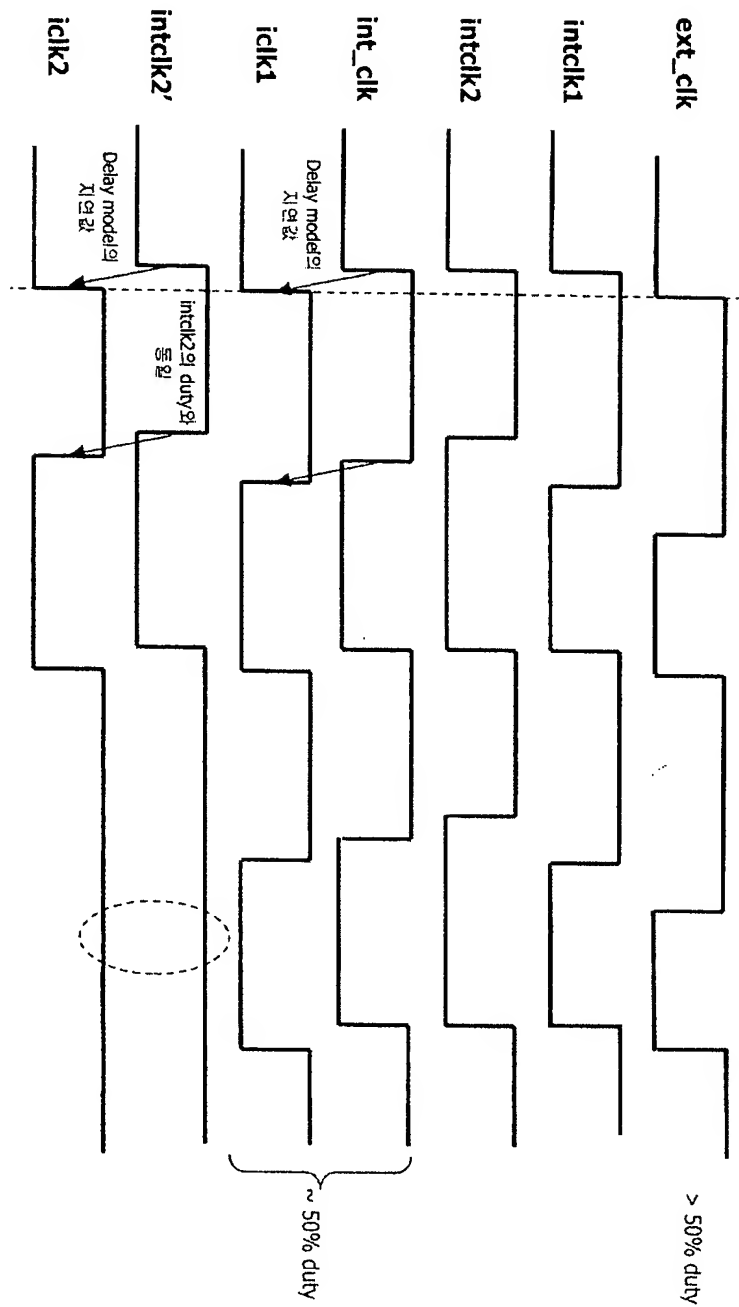
【도 1】



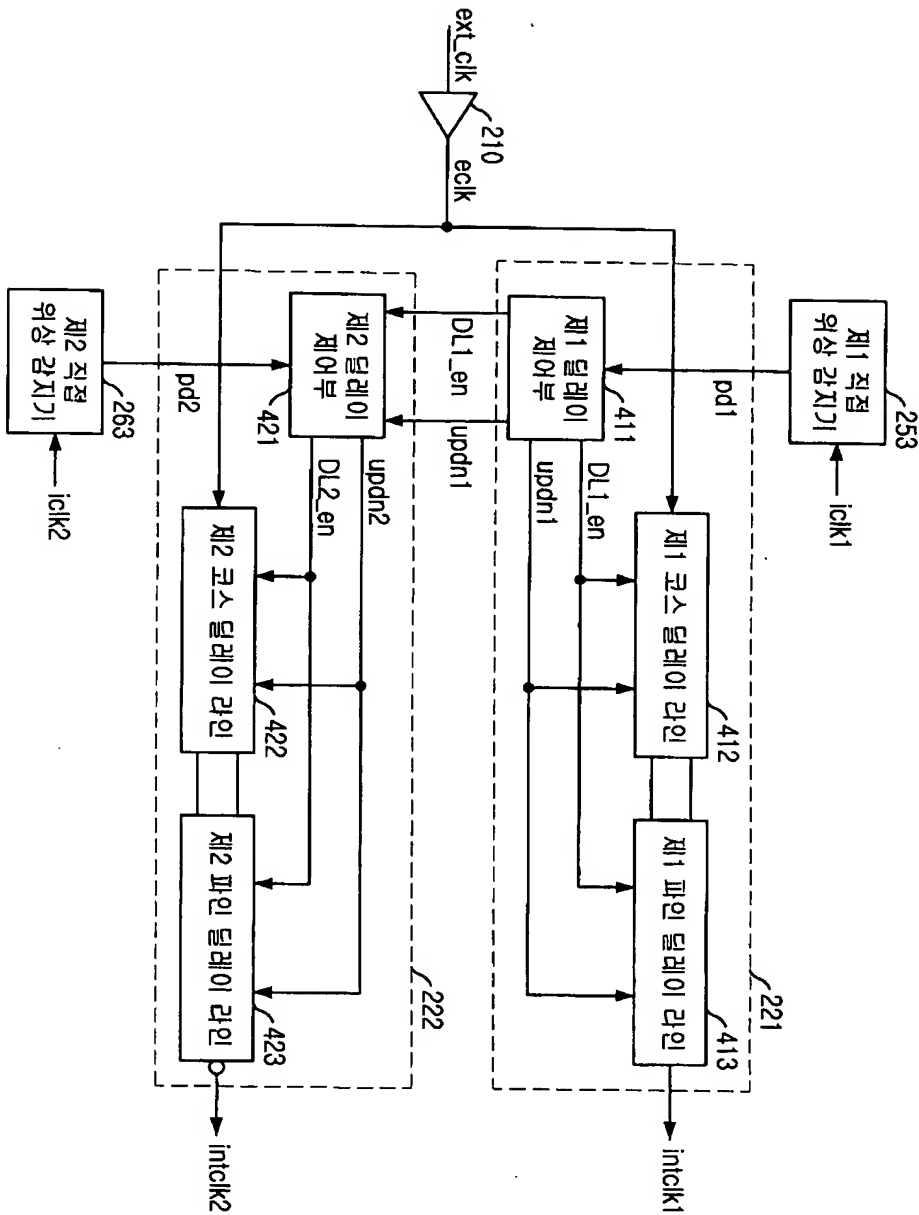
【도 2】



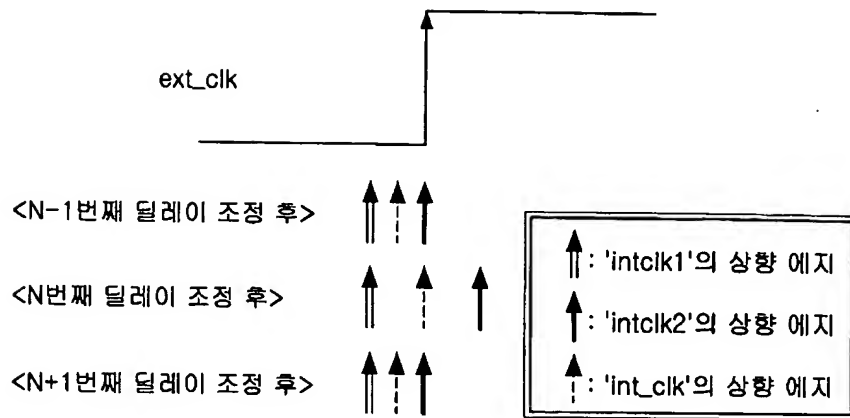
【도 3】



【도 4】



【도 5a】



【도 5b】

